

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-063151

(43)Date of publication of application : 12.03.1993

(51)Int.Cl. H01L 27/092

(21)Application number : 03-222884

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 03.09.1991

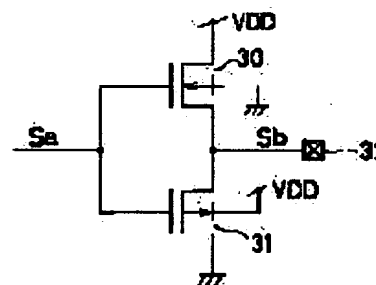
(72)Inventor : YUI SHINOBU

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To provide a buffer circuit that offers longer delay time.

CONSTITUTION: An n-channel MOS transistor 30 is connected at its drain to a power source VDD and at its source to an output terminal 32. A p-channel MOS transistor 31 is connected at its source to the output terminal 32 and at its drain to ground. The transistors 30 and 31 are interconnected at their gates to which an input signal Sa is supplied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-63151

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 27/ 08

3 2 1 L

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-222884

(22)出願日

平成3年(1991)9月3日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 油井 忍

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

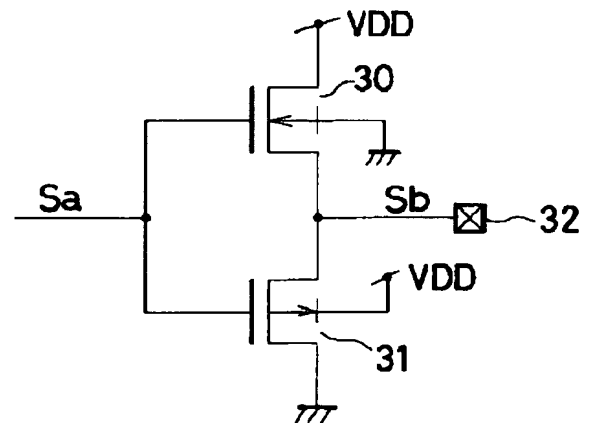
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 バッファ回路

(57)【要約】

【目的】従来よりも遅延時間の短いバッファ回路を提供することである。

【構成】NチャネルMOSトランジスタ30のドレインを電源VDDに接続し、ソースを出力端子32に接続する。PチャネルMOSトランジスタ31のソースを出力端子32に接続し、ドレインを接地する。前記トランジスタ30と31のゲートを互いに接続し、入力信号Saを供給する。



【特許請求の範囲】

【請求項 1】 ゲートが入力端子に、ドレインが高電位側電源に、ソースが出力端子にそれぞれ接続された N チャネルの MOS トランジスタと、
ゲートが上記入力端子に、ドレインが低電位側電源に、ソースが上記出力端子にそれぞれ接続された P チャネルの MOS トランジスタとを具備したことを特徴とするバッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路に関するもので、特に高速 CMOS-IC の出力部に使用されるバッファ回路に関するものである。

【0002】

【従来の技術】 最近の半導体集積回路では動作の高速化が図られており、また出力段に設けられたバッファ回路では電流駆動能力の増大が図られている。動作の高速化にともない、内部信号の立ち上がり時及び立ち下がり時における電位勾配が急峻なものとなり、このような信号が電流駆動能力の増大が図られたバッファ回路に供給されると、出力信号にオーバーシュート、アンダーシュートが現れる。そこで、従来はバッファ回路をプリバッファ回路と出力バッファ回路の 2 段構成にし、出力バッファ回路の出力の変化が緩やかになるようにしている。

【0003】 従来の半導体集積回路の出力回路の例を図 3、図 5 に示す。図 3 は集積回路の内部信号 Sa をプリバッファ回路であるインバータ 10 へ入力し、インバータ 10 の出力は抵抗 11 とコンデンサ 12 から構成されるローパスフィルタ 13 に入力される。なお、この抵抗 11 には寄生抵抗、コンデンサ 12 には寄生コンデンサが使用される場合がある。そして、ローパスフィルタ 13 の出力はインバータ 14 に入力され、インバータ 14 の出力から出力端子 15 が引き出される。

【0004】 図 3 のバッファ回路の動作波形を図 4 に示す。信号 Sa の電位が H i レベルから立ち下がり、インバータ 10 のしきい値電圧 V_{th1} になるとインバータ 10 の出力信号 Sb の電位は L o w レベルから立ち上がる。そして、信号 Sb の電位がインバータ 14 のしきい値電圧 V_{th2} になると、インバータ 14 の出力信号 Sc の電位は H i レベルから立ち下がる。

【0005】 また、信号 Sb はローパスフィルタ 13 の働きでゆっくり立ち上がるので、インバータ 14 のしきい値電圧 V_{th2} を超えてから H i レベルに安定するまでに時間がかかる。このため、インバータ 14 の出力信号 Sc の電位が H i レベルから L o w レベルまで立ち下がる下降時間 t_f は長くなる。

【0006】 また、信号 Sb がローパスフィルタ 13 によりゆっくり立ち下がるので、信号 Sc の上昇時間 t_r も長くなる。集積回路の出力信号である Sc の電位の変化時間 t_r、t_f は長いため、出力信号 Sc のオーバーシュート、

アンダーシュートは抑制される。

【0007】 図 5 の出力回路ではプリバッファ回路 20 を 3 つのインバータ 21、22、23 により構成し、出力バッファ回路 24 をインバータ 25 と P チャネル MOS トランジスタ 26 と N チャネル MOS トランジスタ 27 から構成している。インバータ 21、22、23 の入力はい互いに接続され、集積回路の内部信号 Sa が入力される。インバータ 21 の出力はインバータ 25 の入力に接続され、インバータ 25 の出力には出力端子 28 が設けられている。トランジスタ 26 のソースは電源 V_{DD} に接続され、ドレインはトランジスタ 27 のドレインと出力端子 28 に接続され、ゲートにはインバータ 22 の出力が接続されている。そして、トランジスタ 27 のゲートにはインバータ 23 の出力が接続され、ソースは接地されている。

【0008】 プリバッファ回路 20 を構成するインバータ 21、22、23 各々のしきい値は異なっていて、集積回路の内部信号 Sa の電位が立ち上がると、最初にインバータ 23 の出力信号 Sb₃ の電位が立ち下がり、次にインバータ 21 の出力信号 Sb₁ の電位が立ち下がり、次にインバータ 22 の出力信号 Sb₂ の電位が立ち下がるように設定されている。

【0009】 したがって、出力端子 28 に現れる信号 Sc の電位の立ち上がりは、最初はインバータ 25 のみによって行われ、次にトランジスタ 26 が加わって行われる。このため、信号 Sc の電位の上昇時間 t_r は、インバータ 25 とトランジスタ 26 を合計した電流駆動能力をもつ一つのインバータを使って立ち上げるよりも長くなる。

【0010】 また、上記インバータ 21、22、23 のしきい値設定が異なっているため、信号 Sc の電位の立ち下がり最初はインバータ 25 のみより行なわれ、次にトランジスタ 27 が加わって行なわれるので、信号 Sc の電位の下降時間 t_f は長くなる。出力信号 Sc の電位の変化時間 t_r、t_f が長いため、信号 Sc のオーバーシュート、アンダーシュートは抑制される。

【0011】

【発明が解決しようとする課題】 以上説明したように従来のバッファ回路ではプリバッファ回路出力の電位が変化してから出力バッファ回路出力の電位が変化する。このため、バッファ回路入力の電位がプリバッファ回路出力の電位をが変化させるしきい値電圧になってから、出力バッファ回路出力の電位がバッファ回路出力に接続される回路のしきい値電圧になるまでの遅延時間 t_{p d} が大きくなるという問題がある。

【0012】 さらに、図 3 のバッファ回路では出力バッファ回路であるインバータ 14 への入力信号の電位の上昇時間 t_r、下降時間 t_f が長いために、インバータ 14 の貫通電流が増えるという問題がある。また、図 5 のバッファ回路ではインバータの数が多いために、回路面積や消費電力が大きくなるという問題がある。

【0013】 本発明の目的は、遅延時間 t_{p d}、回路面

積、消費電力が従来より小さく、さらに出力信号のオーバーシュート、アンダーシュートを抑制するバッファ回路を提供することである。

【0014】

【課題を解決するための手段】この発明のバッファ回路はゲートが入力端子に、ドレインが高電位側電源に、ソースが出力端子にそれぞれ接続されたNチャネルのMOSトランジスタと、ゲートが上記入力端子に、ドレインが低電位側電源に、ソースが上記出力端子にそれぞれ接続されたPチャネルのMOSトランジスタとを具備することを特徴とする。

【0015】

【作用】バッファ回路の入力電圧が反転してHiレベルかLowレベルになる。一方、バッファ回路の出力端子は反転前の電位レベルであるために、ゲートに加わる入力電圧が反転したためにオン状態となったトランジスタではゲートソース間とドレインソース間に電位差が生ずる。

【0016】従って、出力端子に電流が流れて出力端子に接続される回路の入力容量がチャージ、又はディスチャージされるので、出力端子の電位は変化する。この出力端子の電位が変化するに従い、前記したゲートソース間、及びドレインソース間の電位差は小さくなるため出力端子に流れる電流が少なくなる。このため、出力端子の電位は変化するに従い、その変化のしかたが緩やかになる。

【0017】

【実施例】本発明の実施例を図面を参照しながら説明する。図1は本発明の一実施例に係わる半導体集積回路内部のバッファ回路の回路図である。バッファ回路はNチャネルMOSトランジスタ30とPチャネルMOSトランジスタ31とから構成され、トランジスタ30のドレインは電源VDDに接続され、ソースは出力端子32に接続されている。トランジスタ31のソースは出力端子32に接続され、ソースは接地されている。そして、トランジスタ30と31のゲートは互いに接続され、集積回路内部のデジタル信号Saが入力される。また、トランジスタ30のサブストレートは接地され、トランジスタ31のサブストレートは電源VDDに接続されている。

【0018】このバッファ回路はプリバッファ回路を設けず、集積回路の内部信号の電位の変化速度を長くすることなく、直接バッファ回路の入力信号Saとしている。このため、信号Saの電位は変化の間にバッファ回路のしきい値電圧Vth4付近である時間は短く、トランジスタ30と31が同時にオン状態である時間も短いので、トランジスタ30のドレインからトランジスタ31のドレインへの貫通電流を抑制できる。また、このバッファ回路では従来に比べ使用する素子の数が少ないため消費電力と回路面積を少なくできる。

【0019】次に、上記実施例回路の動作を図2の動作

波形図を用いて説明する。バッファ回路の入力信号Saの電位が立上がりバッファ回路のしきい値電圧Vth4になると、NチャネルMOSトランジスタ30はオン状態となり、PチャネルMOSトランジスタ31はオフ状態になる。このため出力端子32に接続される回路の入力容量が電源VDDによってチャージされ、端子32に現れる出力信号Sbの電位は立上がる。この後、入力信号Saの電位はすぐにHiレベルになり、トランジスタ30は完全なオン状態となるため、信号Sbの電位の立上がり直後の電位の変化速度は速い。

【0020】また、出力信号Sbの電位が立上がると、出力端子32に接続しているトランジスタ30のソースの電位が上昇する。このため、信号Sbの電位が上がるに従い、トランジスタ30のゲートソース間とドレインソース間の電位差が小さくなり、端子32に流れるチャージ電流は少なくなる。さらに、トランジスタ30のサブストレートソース間には電位差が生じてバックゲート効果により、端子32に流れるチャージ電流は少なくなる。従って、出力信号Sbの電位は上がるに従い、上がりかたがゆっくりとなり、出力信号Sbのオーバーシュート、アンダーシュートは抑制される。

【0021】次に、信号Saの電位が立ち下がって、バッファ回路のしきい値電圧Vth4になると、NチャネルMOSトランジスタ30はオフ状態となり、PチャネルMOSトランジスタ31はオン状態となる。このため、出力端子32に接続される回路の入力容量に予めチャージされていた電荷が接地電位へディスチャージされ、出力信号Sbの電位は立ち下がる。この後、入力信号Saの電位はすぐにLowレベルになり、トランジスタ31は完全なオン状態になるため、信号Sbの電位の立ち下がり直後の電位の変化速度は速い。

【0022】また、出力信号Sbの電位の下がると、出力端子32に接続されているトランジスタ31のソース電位も下がる。このため、信号Sbの電位が下がるに従い、トランジスタ31のゲートソース間とドレインソース間の電位差が小さくなり、端子32に流れるディスチャージ電流は少なくなる。さらに、トランジスタ31のサブストレートソース間には電位差が生じてバックゲート効果により、端子32に流れるディスチャージ電流は少なくなる。したがって、信号Sbの電位は下がるに従い、下がりかたがゆっくりとなるので、信号Sbのオーバーシュート、アンダーシュートは抑制される。

【0023】上記バッファ回路の出力信号Sbの電位が立上がり、立ち下がりする変化速度は変化開始直後では速く、変化が進むにしたがい遅くなる。このため、上記出力端子32に接続される図示していない回路のしきい値電圧Vth5が例えば出力信号Sbの電位が取り得る上限電圧と下限電圧との中央の値である場合、信号Sbの電位が変化を始めてからしきい値電圧Vth5になるまでの時間はしきい値電圧Vth5になってから変化が終了するまでの時間よ

りも短くなる。また、上記バッファ回路の入力信号Saの電位が変化し、上記バッファ回路のしきい値電圧 V_{th4} になると同時に出力信号Sbの電位は変化を始める。したがって、入力信号Saの電位が変化を始めてしきい値電圧 V_{th4} になってから、出力信号Sbの電位が変化を始めてしきい値電圧 V_{th5} なるまでの遅延時間 t_{pd} は、入力信号を遅延又は分割などをしない増幅機能をもたないバッファ回路とほぼ同じになる。

【0024】

【発明の効果】以上、説明したようにこの発明によれば、入力信号を遅延又は分割をしないバッファ回路と遅延時間を同等にできると共に、出力信号に現れるオーバーシュート、アンダーシュートを抑制できるバッファ回

路を提供することができる。

【図面の簡単な説明】

【図1】本発明によるバッファ回路の実施例を示す回路図。

【図2】図1に示される回路の動作波形図。

【図3】従来のバッファ回路の回路図。

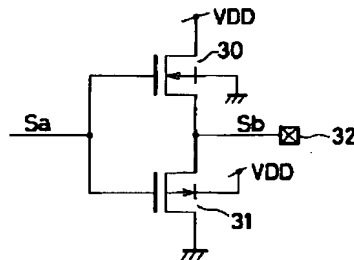
【図4】図3に示される回路の動作波形図。

【図5】従来のバッファ回路の回路図。

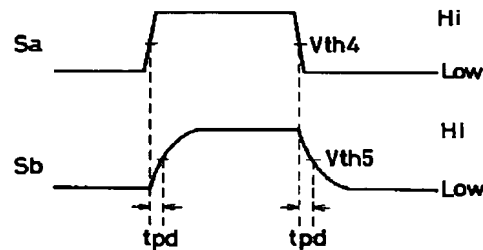
【符号の説明】

13…ローパスフィルタ、20…プリバッファ回路、24…出力バッファ回路、26、31…PチャネルMOSトランジスタ、27、30…NチャネルMOSトランジスタ。

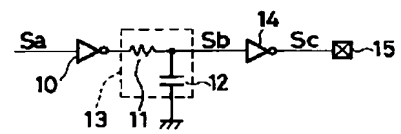
【図1】



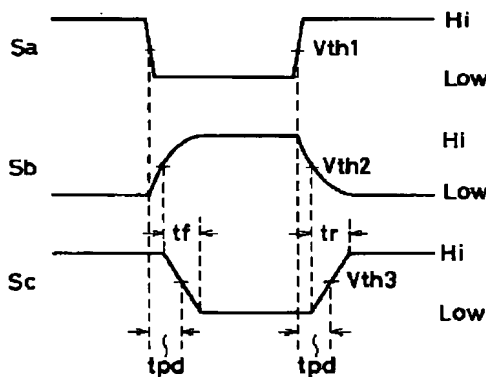
【図2】



【図3】



【図4】



【図5】

